

Masanori Ogura, d. 50 17569  
Appn. No. 10/664,918 US/as  
Filed - 09/22/03

日 本 国 特 許 庁 Gapp-2633  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 2 年    9 月 2 0 日  
Date of Application:

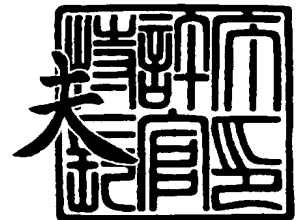
出 願 番 号                      特 願 2 0 0 2 - 2 7 5 9 5 0  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 2 - 2 7 5 9 5 0 ]

出      願      人                      キヤノン株式会社  
Applicant(s):

2 0 0 3 年 1 0 月    7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 3 - 3 0 8 2 5 1 1

【書類名】 特許願

【整理番号】 4807002

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/146

【発明の名称】 固体撮像装置

【請求項の数】 6

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社  
社内

【氏名】 小倉 正徳

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社  
社内

【氏名】 乾 文洋

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社  
社内

【氏名】 板野 哲也

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代理人】

【識別番号】 100088328

【弁理士】

【氏名又は名称】 金田 暢之

【電話番号】 03-3585-1882

## 【選任した代理人】

【識別番号】 100106297

【弁理士】

【氏名又は名称】 伊藤 克博

## 【選任した代理人】

【識別番号】 100106138

【弁理士】

【氏名又は名称】 石橋 政幸

## 【手数料の表示】

【予納台帳番号】 089681

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 固体撮像装置

【特許請求の範囲】

【請求項 1】 第 1 の走査手段と、駆動周波数が前記第 1 の走査手段より遅い第 2 の走査手段とが、それぞれチップの異なる辺部に隣接して配置される固体撮像装置であって、

所定のパッドが、前記チップの各辺部のうち、前記第 1 の走査手段が配置された側の辺部を除く辺部の少なくとも 1 つに配置されていることを特徴とする固体撮像装置。

【請求項 2】 前記チップ上に、能動素子を有する画素が 2 次元状に配置された画素領域をさらに有し、

前記所定のパッドは、前記能動素子に電圧または接地電位を与えるためのパッドを少なくとも含むことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】 前記チップ上に、前記画素領域の各画素から前記第 1 および第 2 の走査手段によって順次読み出された信号電荷を増幅する増幅器を有し、

前記所定のパッドは、前記増幅器に電圧を入力する、または前記増幅器の出力を前記チップ外へ出力するためのパッドを少なくとも含むことを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】 前記画素領域は長方形であり、

前記第 1 の走査手段は、前記画素領域の長辺側に配置されていることを特徴とする請求項 2 または 3 に記載の固体撮像装置。

【請求項 5】 前記第 1 の走査手段は、前記画素領域を挟むように複数配置されていることを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】 前記第 1 の走査手段は、水平シフトレジスタよりなり、前記第 2 の走査手段は、垂直シフトレジスタよりなることを特徴とする請求項 1 から 5 のいずれか 1 項に記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタルカメラやビデオカメラなどに用いられている固体撮像装置に関する。

#### 【0002】

##### 【従来の技術】

固体撮像装置は、2次元状に配置された画素のそれぞれで光電変換、蓄積、電荷の読み出し（走査）を行う機能を有しており、最近では、半導体プロセスの導入により、それらの機能が1つのチップ上に造り込まれた種々のチップ構造が提供されている。図6に、従来の固体撮像装置のチップ構造例を示す（例えば、特許文献1参照）。

#### 【0003】

図6において、（a）は平面図、（b）は（a）のA-A'における断面図である。この固体撮像装置は、画素が2次元状に配置された画素領域102を備える固体撮像素子（チップ）101がパッケージ100に収納される構造になっている。画素領域102は、固体撮像素子101の中央付近に設けられており、そのアスペクト比（縦横比）は例えば3：4である。画素領域102の長辺側に隣接して、複数のパッド105が設けられている。

#### 【0004】

パッケージ100は、中央部に所定の大きさの開口部を備え、この開口部の底面に形成された凹部に、固体撮像素子101を固定するためのダイパッド103が設けられている。パッケージ100の開口部の底面には、ダイパッド103上に固定された固体撮像素子101の各パッド105とそれぞれ対応する複数のパッド107が形成されている。パッケージ1の開口部を透明なガラス板104で塞ぐことで、その開口部の内部に収納された固体撮像素子101を密封することができる。

#### 【0005】

固体撮像素子101側に形成された複数のパッド105とパッケージ1側に形成された複数のパッド107はワイヤーボンディングにより接続されており、各パッド107はパッケージ100の外周部に設けられた複数の端子106と所定の金属配線を介してそれぞれ接続されている。

**【0 0 0 6】**

図 6 には示していないが、固体撮像素子 1 0 1 上の画素領域 1 0 2 の周辺には、各画素の光電変換、蓄積、電荷の読み出しを行うための回路として、垂直走査回路や水平走査回路などが形成されている。垂直走査回路は、通常、画素領域 1 0 2 の短辺側に配置され、水平走査回路は、通常、画素領域 1 0 2 の長辺側に配置される。

**【0 0 0 7】**

上記のように構成された固体撮像装置では、パッド 1 0 5 を介して、外部から固体撮像素子 1 0 1 に対して必要な信号および電圧が供給されるとともに、固体撮像素子 1 0 1 から外部へ信号（映像信号）が出力される。

**【0 0 0 8】**

次に、固体撮像素子の基本構成について簡単に説明する。固体撮像素子には、大きく分けて MOS（X-Y）方式と電荷転送方式の 2 つがあり、いずれの方式も実用化されている。一例として、MOS（X-Y）方式の固体撮像素子の概略構成を図 7 に示す（例えば特許文献 2 参照）。

**【0 0 0 9】**

図 7 に示す固体撮像素子は、複数のゲート線 2 0 3 と複数の垂直信号線 2 0 8 が互いに交差するように配置されている。これらゲート線 2 0 3 と垂直信号線 2 0 8 の各交差部には、MOS トランジスタよりなる垂直スイッチ 2 0 4 を介してフォトダイオード 2 0 1 が設けられており、これにより画素が形成されている。垂直スイッチ 2 0 4 は、ゲートがゲート線 2 0 3 に接続され、ソースがフォトダイオード 2 0 1 の出力に接続され、ドレインが垂直信号線 2 0 8 に接続されている。

**【0 0 1 0】**

各ゲート線 2 0 3 は垂直走査回路 2 0 2 に接続されている。各垂直信号線 2 0 8 の一端には、MOS トランジスタよりなる水平スイッチ 2 0 6 が設けられている。水平スイッチ 2 0 6 は、ゲートが水平走査回路 2 0 5 に接続され、ソースが垂直信号線 2 0 8 に接続され、ドレインが増幅回路 2 0 7 の入力に接続されている。

## 【0011】

垂直走査回路202は、行選択を行う垂直シフトレジスタであって、その駆動周波数は数kHz～数十kHzである。この垂直走査回路202からの選択信号で垂直スイッチ204がオンオフする。水平走査回路205は、列選択を行う水平シフトレジスタであって、その駆動周波数は数十MHzである。この水平走査回路205からの選択信号で水平スイッチ206がオンオフする。

## 【0012】

上記の固体撮像素子では、まず、水平ブランキング期間中に、垂直走査回路202により選択された行のゲート線203の電圧が高くなり、そのゲート線203に接続された全ての垂直スイッチ204がオン状態になる。そして、オン状態になった各垂直スイッチ204を介して、信号電荷がフォトダイオード201から垂直信号線208に転送される。その後、水平走査回路205からの選択信号によって各水平スイッチ206が順次開閉し、各垂直信号線208に転送された信号電荷が順次、増幅回路207によって増幅されて出力される。同様な手順で、他の行についても信号電荷の転送が行われる。

## 【0013】

## 【特許文献1】

特開平8-256296号公報（第2頁、第3図および第4図）

## 【特許文献2】

特開平10-233965号公報（第2頁、第5図）

## 【0014】

## 【発明が解決しようとする課題】

2次元状に配置された画素から信号電荷を順次読み出して転送する場合は、通常は、図7で示した例のように、垂直走査回路により行を選択し、次いで水平走査回路によりその選択した行の各画素を順次選択する、といった動作が行われる。この場合、垂直走査回路の駆動周波数は数kHz～数十kHzと遅いのに対して、水平走査回路の駆動周波数は数十MHzと速いため、この水平走査回路が高周波ノイズ源となって、その近傍に配置された配線やパッドに高周波ノイズがのり、場合によっては出力映像信号に影響するような信号・電位の振られが生じる

。このようなことから、高周波ノイズによる出力映像信号への影響を受けやすい配線やパッド、例えば画素の能動素子に電圧や接地電位を与えるパッド、増幅器への電圧供給を行うためのパッド、増幅器からの映像信号を出力するためのパッドなどについては、高周波ノイズ源である水平走査回路から離れた位置に配置する必要がある。

#### 【0015】

しかしながら、従来は、パッドのピッチを長くでき、しかも多数のパッドを配置できる、という理由から、パッドは、チップの長辺側（水平走査回路が配置されている側）に配置されている（図6参照）。このため、上記の高周波ノイズによる出力映像信号への影響が生じる場合があった。

#### 【0016】

なお、設計によっては、水平走査回路により列を選択した後、垂直走査回路によりその選択した列の各画素を順次選択する、といった動作が行うことも可能であり、この場合は、垂直走査回路側が高周波ノイズ源となる。

#### 【0017】

本発明の目的は、上記問題を解決し、走査回路からの高周波ノイズによる出力映像信号への影響を抑制することができる固体撮像装置を提供することにある。

#### 【0018】

##### 【課題を解決するための手段】

上記目的を達成するため、本発明の固体撮像装置は、第1の走査手段と、駆動周波数が前記第1の走査手段より遅い第2の走査手段とが、それぞれチップの異なる辺部に隣接して配置される固体撮像装置であって、所定のパッドが、前記チップの各辺部のうち、前記第1の走査手段が配置された側の辺部を除く辺部の少なくとも1つに配置されていることを特徴とする。

#### 【0019】

上記の場合、前記チップ上に、能動素子を有する画素が2次元状に配置された画素領域をさらに有し、前記所定のパッドは、前記能動素子に電圧または接地電位を与えるためのパッドを少なくとも含む。また、前記チップ上に、前記画素領域の各画素から前記第1および第2の走査手段によって順次読み出された信号電



荷を増幅する増幅器を有し、前記所定のパッドは、前記増幅器に電圧を入力する、または前記増幅器の出力を前記チップ外へ出力するためのパッドを少なくとも含む。

#### 【0020】

上記のとおりの本発明によれば、能動素子に電圧または接地電位を与えるためのパッド、増幅器に電圧を入力する、または増幅器の出力をチップ外へ出力するためのパッドなど、チップの出力に高周波ノイズによる影響を生じるパッド（所定のパッド）は、チップの辺部のうち、高周波ノイズ源である第1の走査手段が設けられていない辺部に配置されるので、高周波ノイズがそれら所定のパッドおよびパッドからの配線によってチップの出力に大きく影響することはない。

#### 【0021】

##### 【発明の実施の形態】

次に、本発明の実施形態について図面を参照して説明する。

#### 【0022】

図1は、本発明の一実施形態である固体撮像装置のチップ構成を示すブロック図である。チップ10の中央付近に、画素が二次元状に配置された画素領域1が形成されており、その周辺に水平走査回路2a、2b、垂直走査回路3、CTメモリ4a、4b、パッド5a、5b、アンプ6a、6bが形成されている。

#### 【0023】

画素領域1は、m行n列の画素からなる、例えばアスペクト比（縦横比）が2：3の長方形の形状をしたものである。尚、アスペクト比は用途に応じて適宜決まり得るものであり本実施形態に限定されない。

垂直走査回路3は、画素領域1の画素を行単位に選択する垂直シフトレジスタより構成されるものであって、画素領域1の一方の短辺に隣接して設けられている。この垂直走査回路3の駆動周波数は数kHz～数十kHzである。

#### 【0024】

CTメモリ4a、4bは、垂直走査回路3により選択された行の各画素から転送される信号電荷を記憶するアナログメモリである。CTメモリ4aは、画素領域1の一方の長辺に隣接して設けられており、奇数列の画素の信号電荷を記憶す

る。他方、CTメモリ4bは、画素領域1のもう一方の長辺に隣接して設けられており、偶数列の画素の信号電荷を記憶する。

#### 【0025】

水平走査回路2aは、CTメモリ4aに隣接して設けられており、CTメモリ4aに記憶した各画素の信号電荷を順次読み出す水平シフトレジスタより構成されている。水平走査回路2bは、CTメモリ4bに隣接して設けられており、CTメモリ4bに記憶した各画素の信号電荷を順次読み出す水平シフトレジスタより構成されている。これら水平走査回路2a、2bの駆動周波数は同じで、いずれも数十MHzである。

#### 【0026】

アンプ6aは、水平走査回路2aによってCTメモリ4aから読み出された信号（電圧）を増幅するものである。アンプ6bは、水平走査回路2bによってCTメモリ4bから読み出された信号電荷を増幅するものである。これらアンプ6a、6bは、画素領域1のもう一方の短辺（垂直走査回路3が設けられた側とは反対の短辺）に隣接して設けられている。

#### 【0027】

パッド5aは、チップ10の辺部のうち、画素領域1の両短辺側に位置する辺部に複数配置されている。パッド5aとしては、垂直走査回路3を駆動する信号が入力されるパッドの他、水平走査回路2a、2bからの高周波ノイズによる出力映像信号への影響を受け易いパッド、例えば画素の能動素子に電圧や接地電位を与えるパッド、アンプ6a、6bに電圧を与えるパッド、およびアンプ6a、6bの出力をチップ10外部へ出力するパッドなどがある。

#### 【0028】

パッド5bは、チップ10の、水平走査回路2a、2bが設けられた辺部に複数配置されている。パッド5bとしては、水平走査回路2a、2bからの高周波ノイズによる出力映像信号への影響をあまり受けないパッド、例えば水平走査回路2a、2bを駆動するのに必要な信号が入力されるパッドがある。

#### 【0029】

上記の固体撮像装置では、まず、ブランキング期間中に、垂直走査回路3によ

り選択された行の各画素の信号電荷がCTメモリ4a、4bに転送されて記憶される。その後、水平走査期間において、水平走査回路2a、2bによりCTメモリ4a、4bに記憶された信号電荷が順次読み出される。CTメモリ4a、4bから読み出された信号電荷はそれぞれアンプ6a、6bにて増幅され、一連の映像信号信号としてパッド5aから外部へ出力される。同様な手順で、他の行の画素についても信号電荷の読み出しが行われる。このようにして、画素領域1の左上に位置する画素から順に水平ラインに沿って信号電荷が読み出される。

#### 【0030】

高周波ノイズによる出力映像信号への影響を受け易いパッドおよびそれに接続される配線は全て、高周波ノイズ源である水平走査回路2a、2bから離れた位置に配置されているので、水平走査回路2a、2bからの高周波ノイズがそれらパッドや配線からのってチップ10から出力される映像信号に大きく影響することはない。したがって、高周波ノイズによる画像の乱れは生じない。

#### 【0031】

次に、図1に示した固体撮像装置の基本回路構成について具体的に説明する。

#### 【0032】

図2に、画素領域1、水平走査回路2a、2b、垂直走査回路3およびCTメモリ4a、4bの具体的な回路構成を示す。画素領域1は、垂直方向に複数配置された垂直信号線20と、水平方向に複数配置された、ゲート線21およびセレクト線23とを有し、これら垂直信号線20とゲート線21およびセレクト線23との各交差部に画素（単位画素）が形成されている。単位画素は、図3に示すように、フォトダイオード11と、能動素子である、転送MOSトランジスタ12、リセットMOSトランジスタ13およびソースフォロワ入力MOSトランジスタ14、セレクトMOSトランジスタ15とからなる。

#### 【0033】

転送MOSトランジスタ12は、ゲートが垂直信号線20と垂直に配置されたゲート線21に接続され、ソースがフォトダイオード11の出力に接続され、ドレインがリセットMOSトランジスタ13のソースおよびソースフォロワ入力MOSトランジスタ14のゲートに接続されている。リセットMOSトランジスタ

13は、ゲートがリセット線22に接続され、ドレインが基準電圧を供給する電源に接続されている。ソースフォロワ入力MOSトランジスタ14は、ソースがセレクトMOSトランジスタ15を介して垂直信号線20に接続され、ドレインが上記電源に接続されている。セレクトMOSトランジスタ15は、読み出した選択行の画素のソースフォロワ入力MOSのソース14を垂直信号線20へと接続するスイッチの役割をする。

#### 【0034】

CTメモリ4aは奇数列の画素が接続された垂直信号線20ごとにメモリ部を有する。メモリ部は、図4に示すように、MOSトランジスタ41～44、保持部CTN、CTSからなる。

#### 【0035】

保持部（容量）CTNは、転送MOSトランジスタ12によりフォトダイオードの信号をソースフォロワ入力MOS14のゲートに入力する前に読み出す基準電圧を保持する部分である。なお、基準電圧とは、画素リセット解除直後の、リセットMOSトランジスタ13に接続されている電源に応じた電位のことである。垂直信号線20から分岐した一方の分岐線に、ドレインとソースが互いに接続されたMOSトランジスタ41、42が直列に接続されており、これらトランジスタの接続ラインに保持部（容量）CTNが接続されている。MOSトランジスタ41は、ドレインがアンプ6aの一方の入力ラインに接続され、ゲートが水平走査回路2aに接続されている。MOSトランジスタ42のゲートはPTN信号が供給される信号線に接続されている。

#### 【0036】

保持部CTSは、単位画素から転送された信号電荷に応じた電圧を保持する部分である。垂直信号線20から分岐した他方の分岐線に、ドレインとソースが互いに接続されたMOSトランジスタ43、44が直列に接続されており、これらトランジスタの接続ラインに保持部（容量）CTSが設けられている。MOSトランジスタ43は、ドレインがアンプ6aの他方の入力ラインに接続され、ゲートが水平走査回路2aに接続されている。MOSトランジスタ44のゲートはPTS信号が供給される信号線に接続されている。

## 【0037】

CTメモリ4bは、偶数列の画素が接続された垂直信号線20ごとにメモリ部を有する。このメモリ部も、アンプ6bに接続される以外は、図4に示した構成と同じものである。

## 【0038】

垂直走査回路3は、PVST信号およびPV信号によって動作し、PTX信号、PRESおよびPSEL信号に応じて画素領域1の単位画素における転送MOSトランジスタ12、リセットMOSトランジスタ13およびセレクトMOSトランジスタ15のオン・オフ制御を行う。

## 【0039】

CTメモリ4a、4bは、PTN信号によってMOSトランジスタ42のオン・オフ制御が行われることで、保持部CTNにおける保持動作が制御され、PTS信号によってMOSトランジスタ44のオン・オフ制御が行われることで、保持部CTSにおける保持動作が制御される。

## 【0040】

水平走査回路2aは、PHST信号およびPH1信号によって動作し、CTメモリ4aのMOSトランジスタ41、43のオン・オフ制御を行う。これと同様に、水平走査回路2bは、PHST信号およびPH2信号によって動作し、CTメモリ4bのMOSトランジスタ41、43のオン・オフ制御を行う。

## 【0041】

図5は、図2に示した回路の動作を説明するためのタイミングチャート図である。以下、図2～5を参照して動作を説明する。

## 【0042】

PVST信号が立ち上がりタイミングで垂直走査回路3が動作を開始する。PV信号は垂直シフトレジスタ・シフトパルスであって、PVST信号の立ち上がりから一定時間後にまずローレベルになり、その後ハイレベルとローレベルが所定の周期（周波数は数kHz～数十kHz）で切り替わる。このレベルの切り替わりにおいて、最初のローレベル期間が画素領域1の一行目選択期間、次のハイレベル期間が画素領域1の二行目選択期間という具合に、各レベルの期間が各行

の選択期間と対応する。PRES信号は、PV信号におけるローレベルとハイレベルの切り替わりタイミングから一定時間後に所定の期間だけローレベルになる。このローレベルの期間がブランキング期間(BLK)である。

#### 【0043】

一行目選択期間のブランキング期間において、まず、PTN信号がハイレベルの期間で各CTメモリ部4a、4bのMOSトランジスタ42がオンされる前に、リセット信号線22に供給される $\phi$ RES1信号の立ち下りのタイミングで、一行目の各画素のリセットMOSトランジスタ13がオフされてリセット状態が解除される。これにより、各CTメモリ部4a、4bの各メモリ部の保持部CTNに、リセット解除直後の、リセットMOSトランジスタ13に接続されている電源(基準電圧)に応じた電位が保持される。

#### 【0044】

続いて、PTN信号の立ち下りのタイミングで各CTメモリ部4a、4bの各メモリ部のMOSトランジスタ42がオフされた後に、PTX信号がハイレベルの期間で、一行目の各画素の転送MOSトランジスタ12がオンされる。一定時間後、PTX信号の立ち下がりのタイミングで、各画素の転送MOSトランジスタ12がオフされた後に、PTS信号がハイレベルになり、各CTメモリ部4a、4bの各メモリ部のMOSトランジスタ44がオンされる。これにより、各CTメモリ部4a、4bの各メモリ部の保持部CTSに、各画素のフォトダイオード11の光電変換によって蓄積された光信号が保持部CTSに保持された基準電圧に重畳された電位が保持される。

#### 【0045】

続いて、PTS信号の立ち下りのタイミングで、各CTメモリ部4a、4bの各メモリ部のMOSトランジスタ44がオフされ、その後、 $\phi$ RES1信号の立ち上がりのタイミングで、リセットMOSトランジスタが再びオンされる。これにより、リセット状態となり、ブランキング期間が終了する。

#### 【0046】

以上の動作で、CTメモリ4aの各メモリ部には、一行目の画素のうち、奇数列の画素の基準電位(リセット直後の基準電圧に応じて蓄積された電位)と光信

号を含む電荷に応じた電位とがそれぞれ保持部CTN, CTSに保持される。同様に、CTメモリ4bの各メモリ部には、一行目の画素のうち、偶数列の画素の基準電位と光信号を含む電荷に応じた電位とがそれぞれ保持部CTN, CTSに保持される。

#### 【0047】

ブランキング期間終了後、PHST信号の立ち上がりのタイミングで水平走査回路2a、2bが動作を開始し、以下のような読み出し動作を行う。

#### 【0048】

PH1信号（水平シフトレジスタ・シフトパル）に応じて、水平走査回路2aがCTメモリ4aの各メモリ部のMOSトランジスタ41、43を順次オン・オフ制御すると同時に、PH2信号（水平シフトレジスタ・シフトパル）に応じて、水平走査回路2bがCTメモリ4bの各メモリ部のMOSトランジスタ41、43を順次オン・オフ制御する。MOSトランジスタ41、43をオンすると、各アンプ6a、6bの各入力ラインに保持部CTN, CTSに保持された電位に応じた電圧が供給される。アンプ6a、6bは、両入力の差動増幅結果つまり、基準電位に重畳された光信号から基準電圧を引くことで、光信号を出力する。この動作により、CTメモリ4a、4bの各メモリ部の保持部された光信号電荷（一行目の各画素の信号電荷）が順次読み出されて、アンプ6a、6bにて増幅されて一連の映像信号として出力される。

#### 【0049】

二行以降の選択期間においても上述した動作と同じ動作が行われ、最終的に、1フレーム（またはフィールド）分の映像信号（シリアル）が、アンプ6a、6bから出力される。図5に示したように、各水平走査回路2a、2bのシフトパルスであるPH1信号、PH2信号は、同じ周波数（数十MHz）で、最終的にアンプ6a、6bから出力される信号から一連の映像信号を得られる。

#### 【0050】

以上説明した本実施形態の固体撮像装置は一例であって、その構成は設計に応じて適宜変更可能である。例えば、パッド5aは、チップ10の垂直走査回路3が配置された側の辺部とこれに対向する辺部のいずれか一方に配置されてもよい。

**【0051】**

また、本発明は、ここで説明した構成に限られるものではなく、駆動周波数の異なる走査回路を有し、駆動周波数の速い走査回路が高周波ノイズ源となり、そこから発生した高周波ノイズがパッドやそれに接続される配線に乗ってチップの出力に影響するものであれば、どのようなものにも適用することができる。例えば、図7に示した回路を有するものにも適用することができる。この場合は、チップの辺部のうち、水平走査回路が配置された側の辺部を除く辺部の少なくとも1に、高周波ノイズによる映像出力への影響が生じるパッドが配置されることになる。この他、受光部の信号電荷の転送にCCDを用いるようなものにも適用することができる。さらには、固体撮像装置以外の半導体装置（表示デバイスなど）においても本発明は有効である。

**【0052】****【発明の効果】**

以上説明したように、本発明によれば、駆動周波数の速い走査回路からの高周波ノイズによる出力映像信号への影響を抑制することができるので、従来に比べて画質の高い映像を提供することができる。

**【図面の簡単な説明】****【図1】**

本発明の一実施形態である固体撮像装置のチップ構成を示すブロック図である。

**【図2】**

図1に示す固体撮像装置の基本回路構成を示す回路図である。

**【図3】**

図2に示す画素領域の単位画素の一構成例を示す回路図である。

**【図4】**

図2に示すCTメモリのメモリ部の一構成例を示す回路図である。

**【図5】**

図2に示す回路の動作を説明するためのタイミングチャート図である。



## 【図 6】

従来の固体撮像装置のチップ構造を示す図で、(a) は平面図、(b) は断面図である。

## 【図 7】

従来の固体撮像装置の一例である、MOS (X-Y) 方式の固体撮像素子の概略構成を示す回路図である。

## 【符号の説明】

- 1 画素領域
- 2 a、2 b 水平走査回路
- 3 垂直走査回路
- 4 a、4 b CTメモリブロック
- 5 a、5 b 固体撮像装置のパッド
- 6 a、6 b アンプ
- 1 0 チップ(固体撮像装置)
- 1 1 フォトダイオード
- 1 2 転送MOSトランジスタ
- 1 3 リセットMOSトランジスタ
- 1 4 ソースフォロワ入力MOSトランジスタ
- 1 5 セレクトMOSトランジスタ
- 2 0 垂直信号線
- 2 1 ゲート線
- 2 2 リセット線
- 2 3 セレクト線
- 4 1 ~ 4 4 MOSトランジスタ
- 1 0 0 パッケージ
- 1 0 1 固体撮像素子
- 1 0 2 画素領域
- 1 0 3 ダイパッド
- 1 0 4 ガラス板

1 0 5、固体撮像装置のパッド

1 0 6 端子

1 0 7 パッケージのパッド

2 0 1 フォトダイオード

2 0 2 垂直走査回路

2 0 3 ゲート線

2 0 4 垂直スイッチ

2 0 5 水平走査回路

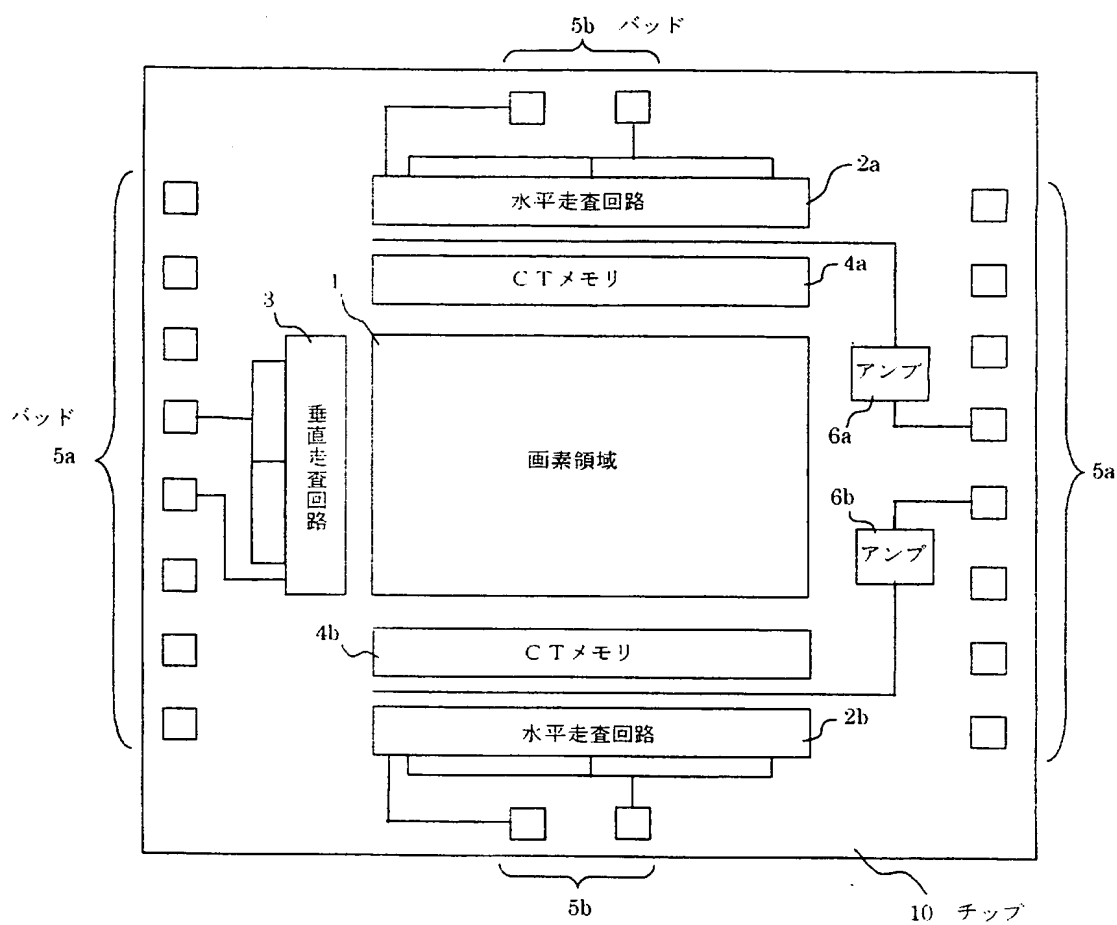
2 0 6 水平スイッチ

2 0 7 増幅回路

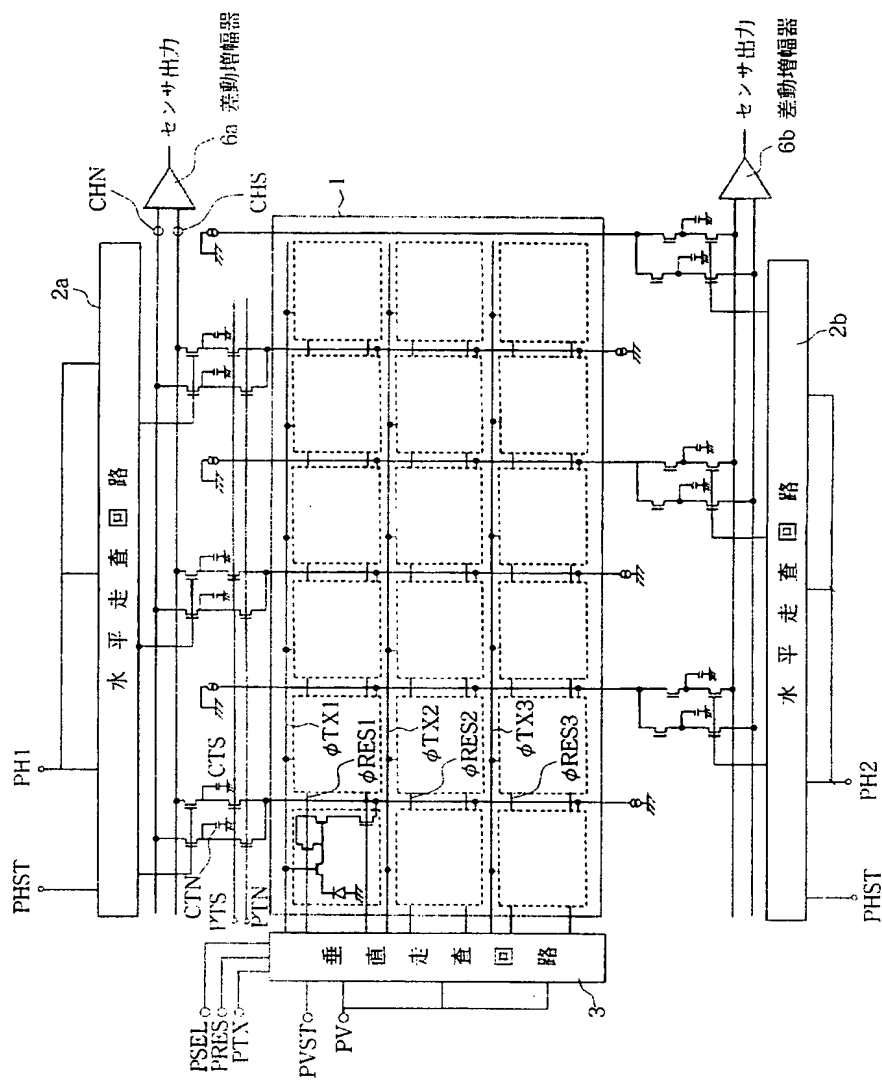
2 0 8 垂直信号線

【書類名】 図面

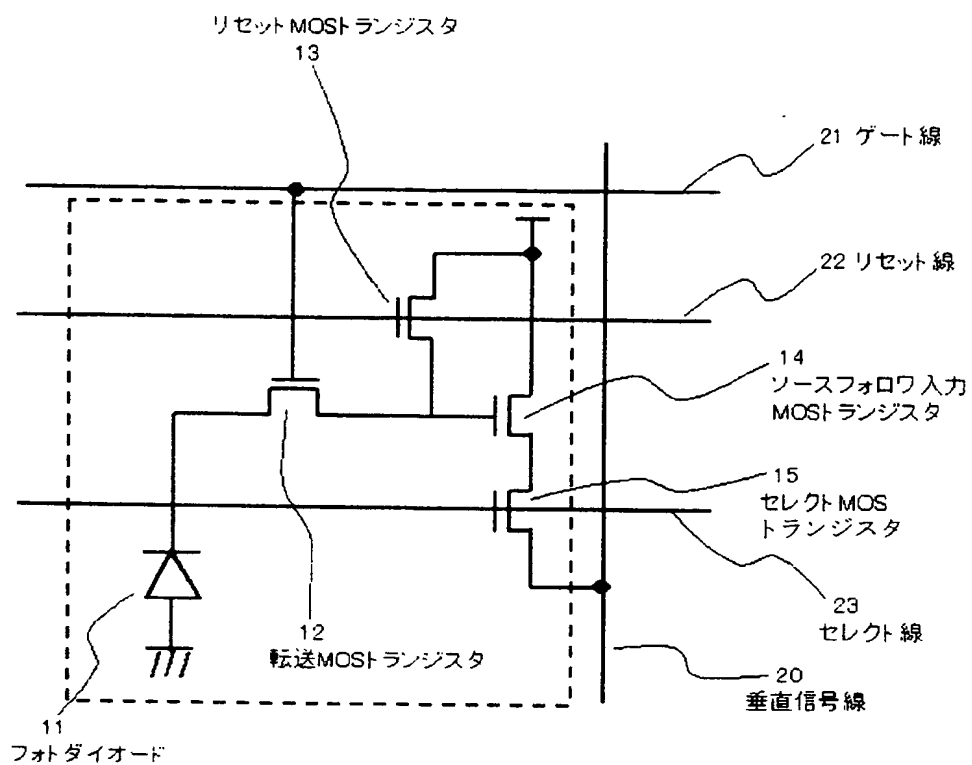
【図 1】



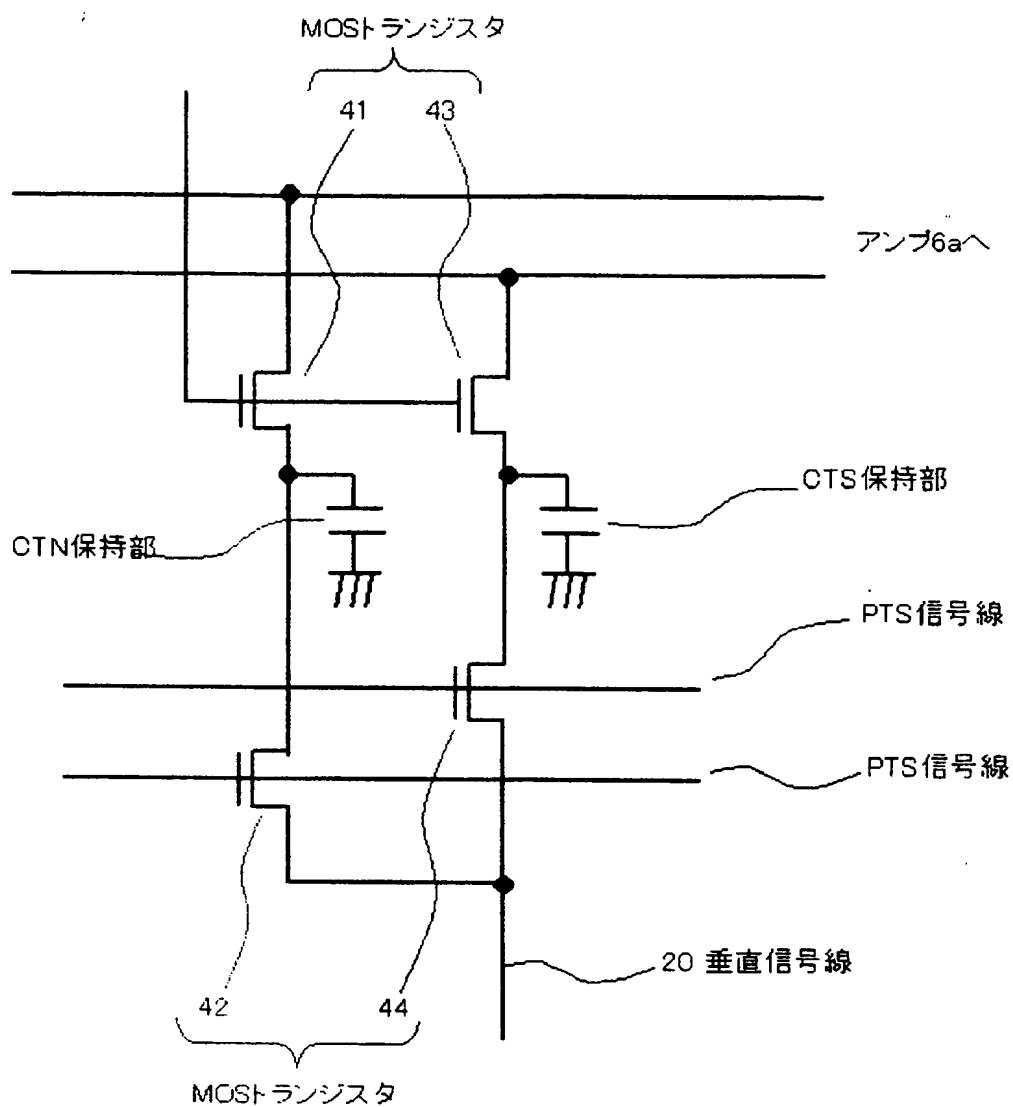
【図 2】



【図 3】

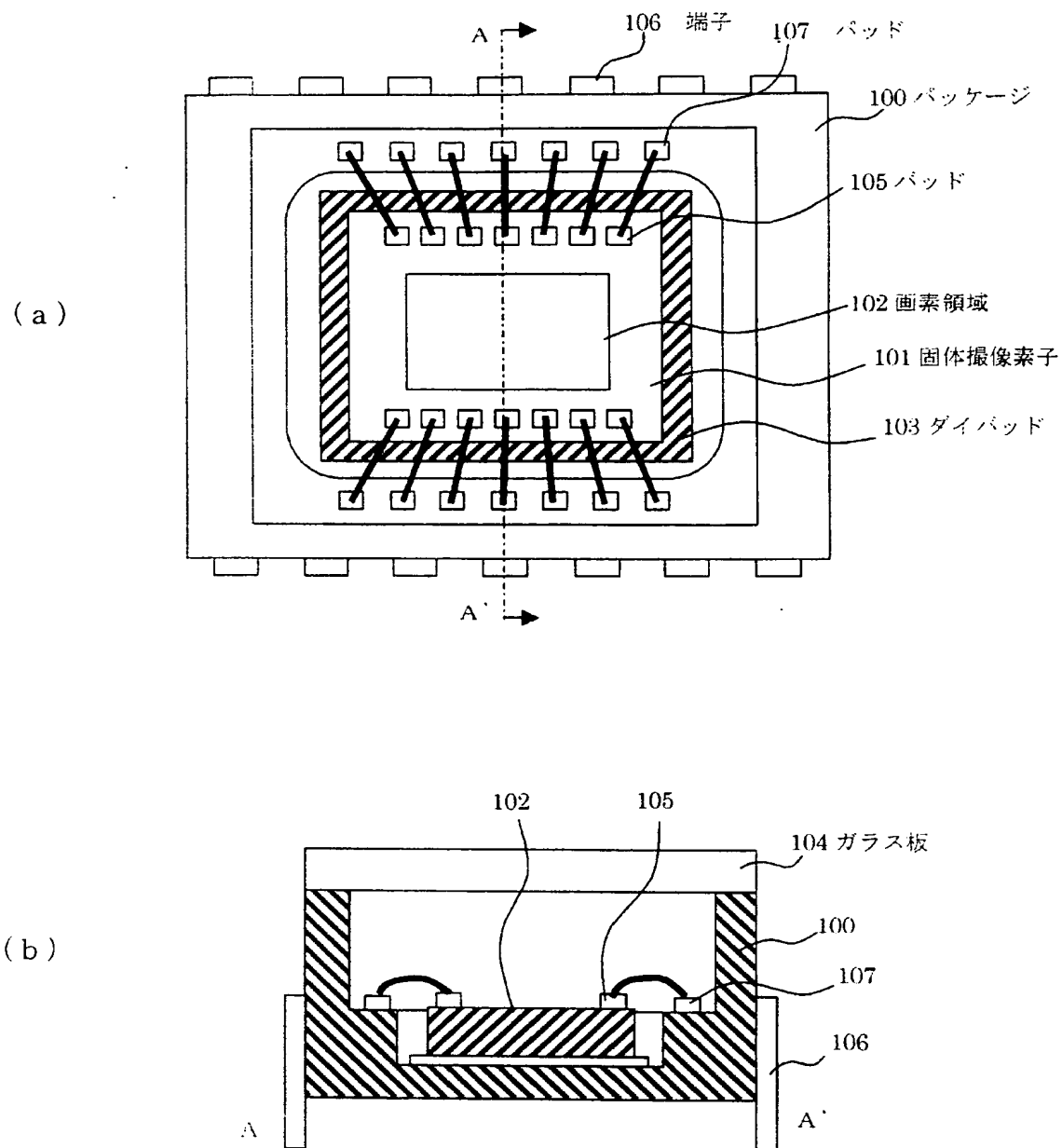


【図 4】



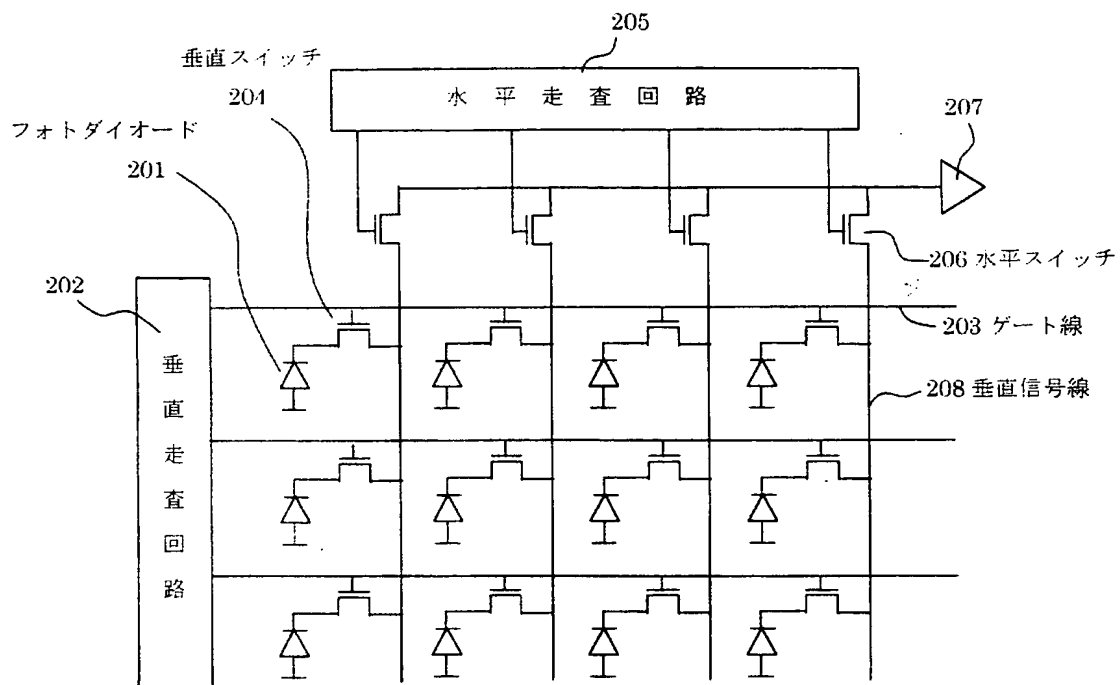


【図 6】





【図 7】



【書類名】 要約書

【要約】

【課題】 走査回路からの高周波ノイズによる出力映像信号への影響を抑制する

。

【解決手段】 水平走査回路 2 a、2 b と、駆動周波数がそれら走査回路より遅い垂直走査回路 3 とが、それぞれ方形のチップ 1 0 の異なる辺部に隣接して配置される固体撮像装置であって、パッド 5 a が、チップ 1 0 の各辺部のうち、水平走査回路 2 a、2 b が配置された側の辺部を除く辺部に配置されている。パッド 5 a は、画素領域 1 の各画素の能動素子に電圧または接地電位を与えるためのパッド、アンプ 6 a、6 b に電圧を入力するパッド、アンプ 6 a、6 b の出力をチップ 1 0 外へ出力するためのパッドなどである。

【選択図】 図 1

特願 2 0 0 2 - 2 7 5 9 5 0

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 1 0 0 7 ]

1. 変 更 年 月 日	1 9 9 0 年 8 月 3 0 日
[ 変 更 理 由 ]	新 規 登 録
住 所	東 京 都 大 田 区 下 丸 子 3 丁 目 3 0 番 2 号
氏 名	キヤノン株式会社